

PAT-NO: JP401091470A
DOCUMENT-IDENTIFIER: JP 01091470 A
TITLE: INPUT PROTECTING CIRCUIT
PUBN-DATE: April 11, 1989

INVENTOR-INFORMATION:

NAME
HIROI, MASAKI
INO, MASUMITSU
OSADA, TAKETO
KOBATA, MITSUHIRO

ASSIGNEE-INFORMATION:

NAME	COUNTRY
RICOH CO LTD	N/A
RICOH RES INST OF GEN ELECTRON	N/A

APPL-NO: JP62249160

APPL-DATE: October 2, 1987

INT-CL (IPC): H01L029/78, H01L027/12

US-CL-CURRENT: 257/357, 257/E29.281

ABSTRACT:

PURPOSE: To improve reliability, by arranging a p-channel type thin film transistor(TFT) and n-channel type TFT, and providing these TFTs with a back gate to lead out electric potential from an active layer.

CONSTITUTION: Thin film transistors Q<SB>1</SB> and Q<SB>2</SB> are provided with a back gate to lead out electric potential from an

active layer 4.

Polycrystalline silicon is used for the active layer 4 which is constituted of intrinsic semiconductor. A back gate electrode 13 is arranged to lead out the electric potential of the active layer 4, from the opposite side of a gate electrode 11, and connected to the active layer 4 via a back gate diffusion layer 14. As a result, the channel forming electric potential of the thin film transistors Q<SB>1</SB>, Q<SB>2</SB> at the time of operation is stabilized, and the polarity of carrier generating in the active layer 4 can be discriminated. Therefore, when the title device is used as an input protecting circuit, high reliability is stably obtained.

COPYRIGHT: (C)1989, JPO&Japio

⑪ 公開特許公報 (A) 平1-91470

⑫ Int.CI.¹H 01 L 29/78
27/12
29/78

識別記号

3 1 1
3 1 1

府内整理番号

X-7925-5F
7514-5F
K-7925-5F

⑬ 公開 平成1年(1989)4月11日

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 入力保護回路

⑮ 特願 昭62-249160

⑯ 出願 昭62(1987)10月2日

⑰ 発明者 廣居 正樹	宮城県柴田郡柴田町大字中名生字神明堂3-1 リコー応用電子研究所株式会社内
⑰ 発明者 猪野 益充	東京都大田区中馬込1丁目3番6号 株式会社リコー内
⑰ 発明者 長田 武人	東京都大田区中馬込1丁目3番6号 株式会社リコー内
⑰ 発明者 木幡 光裕	宮城県柴田郡柴田町大字中名生字神明堂3-1 リコー応用電子研究所株式会社内
⑰ 出願人 株式会社リコー	東京都大田区中馬込1丁目3番6号
⑰ 出願人 リコー応用電子研究所	宮城県柴田郡柴田町大字中名生字神明堂3-1
⑰ 代理人 弁理士 柏木 明	

明細書

1. 発明の名称 入力保護回路

本発明は、半導体集積回路、例えば等倍光センサ用のセンサ駆動用シフトレジスタ等に対する入力保護回路に関する。

従来技術

従来、この種の技術としては、例えば特開昭59-143368号公報(半導体集積回路装置)、特開昭59-175164号公報(半導体装置)、特開昭60-225469号公報(絶縁基板上MOS形電界効果トランジスタ)、特開昭60-241266号公報(半導体装置及びその製造方法)等に示されるものがある。

即ち、TFT(薄膜トランジスタ)を構成要素とする半導体集積回路は通常絶縁基板上に形成されるため、同電位となる導電性の共通の基板がない。よって、静電気などによる薄膜回路の破壊を防ぐための保護回路を、単結晶シリコン基板上に形成されるLSIの場合に通常採用されている保護回路と同じ構造では構成できない。このような

2. 特許請求の範囲

入力端子と正の電源ラインとの間にドレイン電極・ソース電極が接続されゲート電極が前記正の電源ライン側に接続され真性半導体による多結晶シリコンの活性層を備えたpチャネルの薄膜トランジスタと、前記入力端子と負の電源ラインとの間にドレイン電極・ソース電極が接続されゲート電極が前記負の電源ラインに接続され真性半導体による多結晶シリコンの活性層を備えたnチャネルの薄膜トランジスタとを設け、これらの薄膜トランジスタに前記活性層から電位をとるバッケートを形成したことを特徴とする入力保護回路。

3. 発明の詳細な説明

技術分野

LSIで採用されている保護回路の構成中、TFTによるLSIの保護回路として採用し得るのは、入力保護抵抗方式だけである。従つて、従来のTFTによるLSIでは静電気などによる素子破壊に対して弱いものである。上述した公報はこのような問題に対処しようとするものである。

これらの技術に基づき、例えば透明絶縁基板(又は透明絶縁膜)上においてTFT(薄膜トランジスタ)を用いた入力保護回路としては第9図に示すようなものがある。まず、シフトレジスタ等の駆動回路に対する入力信号用の入力端子1と正の電源ライン(Hレベルの電位)との間にドレイン電極・ソース電極が接続され、かつ、ゲート電極が正の電源ライン側に接続されたpチャネル型の薄膜トランジスタQ₁が設けられている。又、入力端子1と負の電源ライン(レベルの電位)との間にドレイン電極・ソース電極が接続され、かつ、ゲート電極が負の電源ライン

に接続されたnチャネル型の薄膜トランジスタQ₂が設けられている。

このようなpチャネル型薄膜トランジスタQ₁とnチャネル型薄膜トランジスタQ₂とを設けることにより、入力端子1から静電気などが印加された時、トランジスタQ₁、Q₂の一方はオンとなり、他方がオフとなる。従つて、静電気はオフした方のトランジスタのソース・ドレイン間のブレイクダウンにより、Hレベル電位又はLレベル電位の配線に流れ、駆動回路へ印加する静電気による電圧が充分に小さな値となり、駆動回路を保護し得るものである。

ここに、薄膜トランジスタQ₁又はQ₂の構造を第10図及び第11図に示す。まず、透明絶縁基板として石英基板2が設けられ、この石英基板2上にpチャネル型であればp⁺拡散層(nチャネル型であればn⁺拡散層)3によりサンドイッチされた活性層4が形成されている。これらの両側

のp⁺拡散層又はn⁺拡散層3に対しては層間絶縁膜5を介してドレイン電極6及びソース電極7が形成され、層間絶縁膜5のコンタクトホール8を介して電気的に接続状態とされている。一方、前記活性層4上にはゲート酸化膜9及び多結晶シリコン層10が形成され、ソース電極6やソース電極7とは異なる方向に配設させたゲート電極11に接続されている。12はコンタクトホールである。

ところが、このような従来方式の場合、薄膜トランジスタQ₁、Q₂において、活性層4から電位がとられていないため、無駄な空乏層の拡がりを生じ、不安定な状態にある。即ち、薄膜トランジスタQ₁又はQ₂の動作時のチャネル形成電位が不安定となり、活性層4内に発生するキヤリアの正負が不明となる。この結果、入力保護回路として、従来のものは信頼性に欠け、更には耐圧性の点でも悪いものとなつていている。

目的

本発明は、このような点に鑑みなされたもので、信頼性及び耐圧性を向上させ得る入力保護回路を得ることを目的とする。

構成

本発明は、上記目的を達成するため、入力端子と正の電源ラインとの間にドレイン電極・ソース電極が接続されゲート電極が前記正の電源ライン側に接続され真性半導体による多結晶シリコンの活性層を備えたpチャネルの薄膜トランジスタと、前記入力端子と負の電源ラインとの間にドレイン電極・ソース電極が接続されゲート電極が前記負の電源ラインに接続され真性半導体による多結晶シリコンの活性層を備えたnチャネルの薄膜トランジスタとを設け、これらの薄膜トランジスタに前記活性層から電位をとるバックゲートを形成したことを特徴とするものである。

以下、本発明の第一の実施例を第1図ないし第

3図に基づいて説明する。第9図ないし第11図で示した部分と同一部分は同一符号を用いて示す。本実施例は、端的には、活性層4から電位をとるバツクゲート付きの薄膜トランジスタQ₁, Q₂としたものである。このようなバツクゲート付きの薄膜トランジスタQ₁, Q₂を用いることにより、薄膜トランジスタQ₁又はQ₂の動作時のチャネル形成電位が安定し、活性層4内に発生するキャリアの正負が判るので、入力保護回路に用いた時、安定し信頼性の高いものとなる。

第2図及び第3図にバツクゲート付きの薄膜トランジスタQ₁又はQ₂の構造を示す。ここに、本実施例（以下の実施例でも同様）では、活性層4には多結晶シリコンが用いられ、かつ、この活性層4は真性半導体によるものである。又、ゲート電極11とは反対側より活性層4の電位をとるためにバツクゲート電極13が設けられ、バツクゲート拡散層14を介して活性層4に接続されてい

る。より詳細には、第3図は、左側がゲート電極11側となり、右側がバツクゲート電極13側となる断面を示し、活性層4とバツクゲート拡散層14とは同一平面に位置させて石英基板2上に形成されている。そして、層間絶縁膜5に形成したコンタクトホール15を介してバツクゲート電極13と電気的に接続されている。つまり、本実施例による薄膜トランジスタ構造は、実際の駆動回路使用されている薄膜トランジスタ構造に近いものであり、ゲートとは反対側から活性層4の電位をとることを特徴とし、活性層4の電位の安定化を図つたものである。なお、第3図のWは薄膜トランジスタ部分の幅を示す。

このような構成において、活性層4領域を真性半導体とした場合、空乏層が拡がりやすく、耐圧性にも欠けやすい。しかるに、本実施例のようにバツクゲート電極13を設けて活性層4にも電位を与えることにより、無駄な空乏層の拡がりが軽

減されて安定したものとなり、かつ、耐圧性も増すものとなる。

ここに、活性層4は前述した如く多結晶シリコンによるものであるが、拡散層3はp⁺形の場合であればボロンドープの多結晶シリコン、n⁺形の場合であればリン又は砒素ドープの多結晶シリコンが用いられ、ゲート酸化膜9にはSiO_x、ゲート電極11には多結晶シリコン（多結晶シリコン層10と一体）が用いられる。又、ドレイン電極6、ソース電極7、バツクゲート電極13などの金属電極としてはAl、AlSi、Moなどが用いられ、層間絶縁膜5（ないしは保護膜）にはSiO_x又はSi_xN_yが用いられる。

つづいて、本発明の第二の実施例を第4図により説明する。本実施例は、活性層4の電位をソース電極7側からとるようにバツクゲート電極13を配設し、活性層4の電位をドレイン電極6側から分離させないようにしたものである。

本実施例によれば、前記実施例と同様に活性層4の電位の安定化を図ることができるとともに、バツクゲートのソース・ドレイン間の耐圧もより大きなものとすることができます。

なお、これらの実施例においては、バツクゲート拡散層14として、①拡散しないもの（イントリニシックなものの）、②拡散したものの（nチャネル型の場合にはp拡散バツクゲート拡散層とし、pチャネル型の場合にはn拡散バツクゲート拡散層とする）の2タイプが使用できる。

本発明の第三の実施例を第5図により説明する。本実施例は、バツクゲート拡散層14を樹形形状に形成し、薄膜トランジスタとしての幅Wの値が大きくなり、かつ、活性層4領域に対して平均的にバツクゲート電位がかかるようにしたものである。本実施例によれば、活性層4の電位はより安定したものとなる。

更に、本発明の第四の実施例を第6図及び第7

図により説明する。本実施例は、透明絶縁基板（又は透明絶縁膜）に代えて、導電性基板（又は導電性膜）16上に薄膜トランジスタQ₁、又はQ₂を形成する場合への適用例である。この場合、活性層4を挟んでゲート電極11の反対側から活性層4と導電性基板16とをコンタクトホール17で接触させることにより、導電性基板16自体をバツクゲート電極とするようにしたものである。これにより、活性層4に殆どロスなく電位をかけることができる。

ちなみに、本発明方式のバツクゲート付きの薄膜トランジスタの場合のドレイン・ソース間電流 I_{DS} とドレイン・ソース間電圧 V_{DS} の $I_{DS} - V_{DS}$ 特性を第8図に示す。破線はバツクゲートなしの従来方式の $I_{DS} - V_{DS}$ 特性を示す。この特性からもバツクゲート付きのほうが耐圧性がよいことが判る。

効果

本発明は、上述したように活性層から電位をとるバツクゲート付き構成としたので、活性層の電位を安定したものとし、入力保護回路として信頼性及び耐圧性を向上させることができるものである。

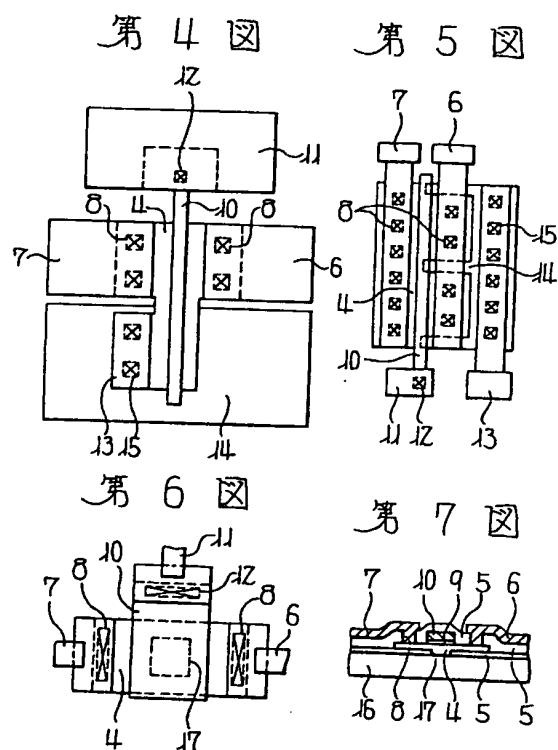
4. 図面の簡単な説明

第1図ないし第3図は本発明の第一の実施例を示すもので、第1図は回路図、第2図は概略平面図、第3図は概略断面図、第4図は本発明の第二の実施例を示す概略平面図、第5図は本発明の第三の実施例を示す概略平面図、第6図は本発明の第四の実施例を示す概略平面図、第7図はその概略断面図、第8図は $I_{DS} - V_{DS}$ 特性図、第9図ないし第11図は従来例を示すもので、第9図は回路図、第10図は概略平面図、第11図は概略断面図である。

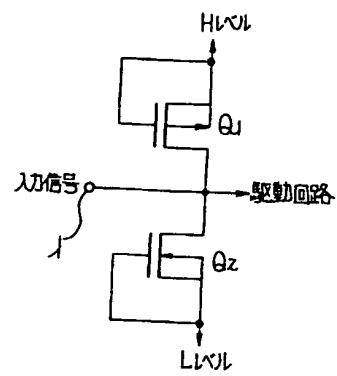
1…入力端子、4…活性層、6…ドレイン電極、
7…ソース電極、11…ゲート電極、13…バツ
クゲート電極、Q₁、Q₂…薄膜トランジスタ

出願人 株式会社 リコー
リコー応用電子研究所株式会社

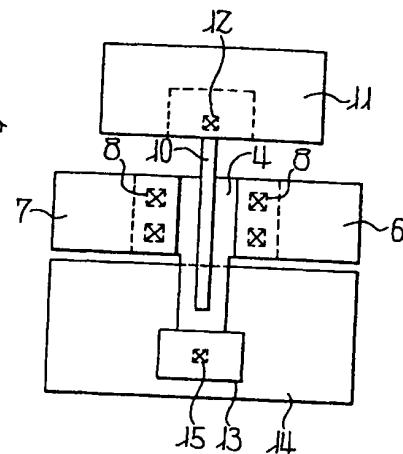
代理人 柏木 明



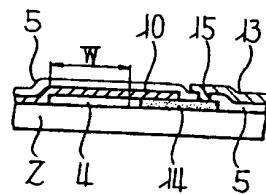
第1図



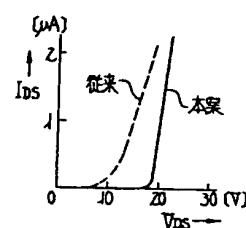
第2図



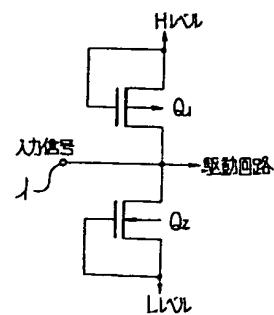
第3図



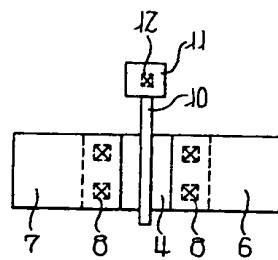
第8図



第9図



第10図



第11図

